

04/18089-511

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-216109
(43)Date of publication of application : 30.07.2003

(51)Int.Cl. G09G 3/30
G09G 3/20
H05B 33/14

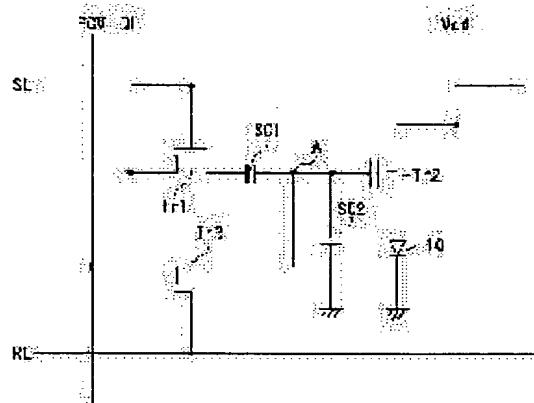
(21)Application number : 2002-018940 (71)Applicant : SANYO ELECTRIC CO LTD
(22)Date of filing : 28.01.2002 (72)Inventor : MATSUMOTO SHOICHIRO

(54) DISPLAY DEVICE AND METHOD FOR CONTROLLING DISPLAY OF THE SAME DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve such a problem that display unevenness sometimes appears in a display picture by degradation of optical elements.

SOLUTION: In this display device, first of all, a reset line RL becomes high and the potential of a node A becomes a potential which is applied to a precharge power source line PCV. When it becomes the writing period of luminance data and a scanning line SL is turned on, a data voltage Vdata corresponding to the luminance data applied to a data line DL is applied to the node A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-216109

(P2003-216109A)

(43) 公開日 平成15年7月30日 (2003.7.30)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 9 G 3/30 3/20	6 1 1	G 0 9 G 3/30 3/20	K 3 K 0 0 7 6 1 1 H 5 C 0 8 0
	6 2 3		6 2 3 D
	6 2 4		6 2 4 B
	6 4 1		6 4 1 D

審査請求 未請求 請求項の数 7 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2002-18940(P2002-18940)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(22) 出願日 平成14年1月28日 (2002.1.28)

(72) 発明者 松本 昭一郎

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74) 代理人 100105924

弁理士 森下 賢樹

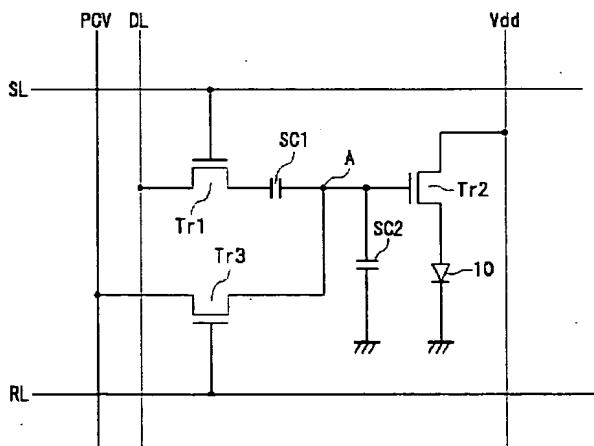
Fターム(参考) 3K007 AB02 AB04 AB17 DB03 GA04
50080 AA06 BB05 CC03 DD05 DD08
DD23 DD26 DD28 DD29 EE01
EE17 EE29 EE30 FF11 HH09
JJ03 JJ04 KK02 KK07

(54) 【発明の名称】 表示装置およびその表示の制御方法

(57) 【要約】

【課題】 光学素子の劣化により、表示画像にばらつきが現れることがある。

【解決手段】 まずリセット線RLがハイになり、ノードAの電位がプリチャージ電源線PCVに印加されている電位となる。輝度データの書き込み期間になり、走査線SLがオンになると、データ線DLに印加されている輝度データに応じたデータ電圧VdataがノードAに加えられる。



【特許請求の範囲】

【請求項1】 それぞれが光学素子とその駆動素子とを含む複数の画素と、前記光学素子の動作臨界値をその属性として備える基準信号を生成する基準信号発生回路とを備え、この基準信号が前記複数の画素に供給されることを特徴とする表示装置。

【請求項2】 前記画素はさらに、それが含む駆動素子に対し、輝度データに応じた制御電圧を設定および保持するための設定素子を備え、この設定素子と前記駆動素子は容量で結合され、前記基準信号は、スイッチ素子を介して前記容量と前記駆動素子が接続されるノードへ接続されることを特徴とする請求項1に記載の表示装置。

【請求項3】 前記基準信号は、前記駆動素子の閾値電圧と前記光学素子の閾値電圧の和をその属性に備えることを特徴とする請求項1または2に記載の表示装置。

【請求項4】 それぞれが光学素子とその駆動素子とを含む複数の画素と、基準電圧を発生する回路と、

前記複数の画素のそれぞれにおいて輝度データに応じた制御電圧を前記駆動素子に設定および保持する設定素子と、を含み、初期化期間では前記基準電圧によって前記複数の画素の駆動素子を制御する一方、書込期間では前記輝度データに応じた制御電圧によって前記複数の画素の駆動素子を制御することを特徴とする表示装置。

【請求項5】 前記初期化期間で前記光学素子が動作臨界点付近における前記基準電圧が定められた請求項4に記載の表示装置。

【請求項6】 前記基準電圧は、前記駆動素子の閾値電圧と前記光学素子の閾値電圧の和に設定されることを特徴とする請求項4または5に記載の表示装置。

【請求項7】 それぞれが光学素子とその駆動素子とを含む複数の画素を制御する方法であって、これらの画素の外部から前記複数の画素の駆動素子に対して一様に動作臨界点付近の基準電圧を供給する初期化プロセスと、輝度データに対応する電圧と基準電圧との加算電圧を前記複数の画素の駆動素子に対して個別に供給する書込プロセスと、を含むことを特徴とする表示の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は表示装置に関し、特に表示装置の表示品位を改善する技術に関する。

【0002】

【従来の技術】 ノート型パソコンコンピュータや携帯端末の普及が進んでいる。現在、主に液晶表示装置が、それらの表示装置に使用されており、有機EL (Electr-

o Luminescence) 表示装置は次世代平面表示装置として期待されている。液晶表示装置はその視野角の狭さや、応答速度の遅さが依然として課題として残っている。一方、有機EL表示装置は、上述の課題を克服するとともに、高輝度、高効率が達成できる。

【0003】 これら表示装置の表示方法として中心に位置するのがアクティブマトリックス駆動方式である。この方式を用いた表示装置は、アクティブマトリックス型表示装置と呼ばれ、画素は縦横に多数配置されマトリックス形状を示し、各画素にはスイッチング素子が配置される。映像データはスイッチング素子によって画素毎に順次書き込まれる。

【0004】 現在、有機EL表示装置の実用化開発は草創期にあり、様々な画素が提案されている。そのような回路の一例として、特開平11-219146号公報に開示されている画素について、図6をもとに簡単に説明する。

【0005】 この回路は、2個のnチャネルトランジスタであるデータ転送用トランジスタTr11、駆動トランジスタTr12と、光学素子である有機発光ダイオード (Organic Light Emitting Diode；以下、単に「OLED」と表記する) 10と、保持容量SC11と、走査線SLと、電源供給線Vddと、輝度データを入力するデータ線DLを備える。

【0006】 この回路の動作は、OLED10の輝度データの書込のために、走査線SLがハイになり、データ転送用トランジスタTr11がオンとなって、データ線DLに入力された輝度データが駆動トランジスタTr12および保持容量SC11に設定される。発光のタイミングとなり走査線SLがローとなることでデータ転送用トランジスタTr11がオフとなり、駆動トランジスタTr12のゲート電圧は維持され、OLED10は設定された輝度データで発光する。

【0007】

【発明が解決しようとする課題】 一般に、OLEDやTFTなどのトランジスタの閾値電圧は、製造時にばらつきが発生するとともに、経時変化による劣化が原因でそれら閾値電圧が上昇する。これにより、表示のムラが発生することがある。特にOLEDの経時変化による劣化は、液晶表示装置の光学素子の劣化と比べ顕著である。さらに表示装置がカラーである場合、カラー表示するために設けられる各色ごとのOLEDの劣化の進み具合が異なり、継続的に表示装置を使用することで、ホワイトバランスが崩れ表示装置は所望の色を表示できなくなる恐れがある。

【0008】 本発明はこうした状況に鑑みなされたものであり、その目的は前述の表示ムラを低減する新たな回路を提案するものである。また別の目的は、表示色ごとの光学素子の劣化を補償し、ホワイトバランスをとることにある。

【0009】

【課題を解決するための手段】本発明のある態様は表示装置に関する。この装置は、それぞれが光学素子とその駆動素子とを含む複数の画素と、光学素子の動作臨界値をその属性として備える基準信号を生成する基準信号発生回路とを備え、この基準信号が前記複数の画素に供給される。

【0010】ここで光学素子としてOLEDが想定できるがこれに限る趣旨ではない。また、「光学素子の動作臨界値」とは、例えばOLEDの閾値電圧やその駆動素子に使用されるトランジスタの閾値電圧であったり、さらにはそれらを合わせた値であったりする。例えば、当該表示装置がアクティブマトリックス型であれば駆動素子として、薄膜トランジスタ (Thin Film Transistor；以下単に、「TFT」と表記する) が想定できるがこれに限る趣旨ではない。

【0011】また、画素はさらに、それが含む駆動素子に対し、輝度データに応じた制御電圧を設定および保持するための設定素子を備え、この設定素子と駆動素子は容量で結合され、基準信号は、スイッチ素子を介して容量と駆動素子が接続されるノードへ接続されてもよい。ここで「設定素子」とは、例えば信号線から画素内に輝度データを入力する際に、スイッチ素子として機能する TFTなどのトランジスタが想定できる。また、スイッチ素子にトランジスタを使用する場合、トランジスタの数は複数であってよく、また、その駆動能力の組合せは問わない。またさらに、基準信号は、駆動素子の閾値電圧と光学素子の閾値電圧の和をその属性に備えてよい。

【0012】本発明の別の態様も表示装置に関する。この装置は、それぞれが光学素子とその駆動素子とを含む複数の画素と、基準電圧を発生する回路と、複数の画素のそれぞれにおいて輝度データに応じた制御電圧を駆動素子に設定および保持する設定素子とを含み、初期化期間では基準電圧によって複数の画素の駆動素子を制御する一方、書き込み期間では輝度データに応じた制御電圧によって複数の画素の駆動素子を制御する。また、初期化期間で光学素子が動作臨界点付近におかれるよう基準電圧が定められてもよい。またさらに、基準電圧は、駆動素子の閾値電圧と光学素子の閾値電圧の和に設定されてもよい。

【0013】本発明のさらに別の態様は表示の制御方法に関する。この方法は、それぞれが光学素子とその駆動素子とを含む複数の画素を制御する方法であって、これらの画素の外部から複数の画素の駆動素子に対して一様に動作臨界点付近の基準電圧を供給する初期化プロセスと、輝度データに対応する電圧と基準電圧との加算電圧を複数の画素の駆動素子に対して個別に供給する書き込みプロセスとを含む。

【0014】例えば、カラー表示装置が、R(赤) G

(緑) B(青)の3色を表示する光学素子から構成される場合、同一色の光学素子ごとに基準電圧を共通化する。例えば、有機EL表示装置の場合、一般に緑を発光するOLEDの経時変化による劣化の進行が一番遅い。これにより、出荷時には表示装置のホワイトバランスが調整されていても、例えば表示装置を継続的に使用することにより、その表示画面が緑がかることがある。したがって、ホワイトバランスを調整可能な機能が備わっていると非常に有効である。なお、以上の構成要素の任意の組合せや組替えなどと表現したものもまた、本発明の態様として有効である。

【0015】

【発明の実施の形態】以下の実施の形態では、表示装置としてアクティブマトリックス型有機EL表示装置を想定する。実施の形態では、画素の外部に基準電位を設け、これにより光学素子であるOLEDとその駆動素子の劣化による輝度のムラを抑える。

【0016】(実施の形態1) 図1は実施の形態1に係る画素の回路を示した図である。一画素は、OLED10と、データ転送用トランジスタTr1と、OLED10の駆動素子である駆動トランジスタTr2と、プリチャージトランジスタTr3と、第1保持容量SC1と、第2保持容量SC2とを備える。

【0017】データ転送用トランジスタTr1は、輝度データを駆動トランジスタTr2に設定する際にスイッチ素子として機能する。また、プリチャージトランジスタTr3は、輝度データの書き込みに先立ち駆動トランジスタTr2に設定されている輝度データを初期化する際にスイッチ素子として機能する。

【0018】また、一画素はさらに、走査線SLと、リセット線RLと、データ線DLと、電源供給線Vddと、プリチャージ電源線PCVが接続されている。リセット線RLは、プリチャージトランジスタTr3をオンオフ制御するための信号が印加される。走査線SLは、輝度データの書き込みを指示する信号が印加される。データ線DLは輝度データが印加される。電源供給線Vddは、OLED10に電流を供給する。プリチャージ電源線PCVは、画素の輝度データを初期化するための基準電圧が印加される。

【0019】データ転送用トランジスタTr1、駆動トランジスタTr2、プリチャージトランジスタTr3は全てnチャネルトランジスタである。また、これらトランジスタは複数で構成されてもよく、その際トランジスタの駆動能力の組合せは任意である。

【0020】データ転送用トランジスタTr1のゲート電極は走査線SLに接続され、データ転送用トランジスタTr1の残りの一方の電極がデータ線DLに、データ転送用トランジスタTr1の残りのもう一方の電極は第1保持容量SC1の片方の電極と接続される。

【0021】プリチャージトランジスタTr3のゲート

電極はリセット線RLに、残りの一方の電極はプリチャージ電源線PCVに接続される。第1保持容量SC1のもう一方の電極と駆動トランジスタTr2のゲート電極がノードAでTr3の残りのもう一方の電極に接続される。駆動トランジスタTr2のドレイン電極は電源供給線Vddに接続され、ソース電極はOLED10のアノードに接続され、OLED10のカソードは固定電位である接地電位に接続される。また、駆動トランジスタTr2のゲート電極と、接地電位の間には第2保持容量SC2が挿入される。

【0022】図2は、プリチャージ電源線PCVに印加される基準電圧を発生させるPCV電位発生回路50を示す。PCV電位発生回路50は、基準トランジスタTr2aと基準OLED10aを含む基準電位発生部60と、基準電位ドライバ70を備える。基準電位ドライバ70は、オペアンプ80を電圧利得1のユニティゲインアンプとして構成する。

【0023】また、nチャネルトランジスタの基準トランジスタTr2a、基準OLED10aが定電流電源から接地電位へ直列に接続されている。かつ基準トランジスタTr2aのゲート電極とドレイン電極がノードBで短絡され、さらにノードBから伸びるラインはオペアンプ80に非反転入力で接続されている。このとき、ノードBの電位は、基準トランジスタTr2aの閾値電圧Vt1と基準OLED10aの閾値電圧VF1の和Vt1+VF1の値である。この電圧値がプリチャージ電源線PCVに印加される。

【0024】有機EL表示装置の場合、各画素のOLEDはR(赤)G(緑)B(青)の色毎に経時変化による劣化の進行度合いが異なる。したがって、出荷時にホワイトバランスが正確であっても、長期の使用によってホワイトバランスが崩れる。例えば緑の色を発光するOLEDの劣化が一番遅い場合、表示画像が緑がかった色になってしまう。したがって、この基準回路は、各色ごとに設けることが望まれる。

【0025】以上の回路構成による動作を説明する。図3は、データ線DLの電位とノードAの電位を示している。当該画素の輝度データ書き込み期間に先立ち、リセット線RLがハイになり、プリチャージトランジスタTr3がオンになって、ノードAの電位がこのときプリチャージ電源線PCVに印加されている電位となる。ここでは駆動トランジスタTr2の閾値電圧VtとOLED10の閾値電圧VFの和VF+Vtの値の電位となる。いま、この値を初期値と呼ぶ。

【0026】つぎに、リセット線RLがオフになると、ノードAは電位VF+Vtでフロート状態になる。つづいて、輝度データの書き込み期間になり、走査線SLがオンになると、データ線DLに印加されている輝度データに応じたデータ電圧VdataがノードAに加えられる。したがって、ノードAの電位つまり駆動トランジスタTr2のゲート電位は初期値に書き込みデータであるデータ電圧Vdataを加えた値VF+Vt+Vdataにたたき上げられる。これにより、データ線DLに印加される信号の電位は、0から所望の値となる。輝度データの書き込み期間は、図3のt1～t2の間である。

【0027】実施の形態1によれば、輝度データの書き込みに先立ち、OLEDや駆動素子の劣化やばらつきに応じて初期化を行うことができ、輝度ムラの抑制が可能となる。また、データ線DLに印加される輝度データは、実際に駆動トランジスタTr2に設定すべき電位と、基準電位との差分でよく、低消費電力化が可能である。

【0028】(実施の形態2) 実施の形態1では、初期値VF+Vtを入力するために専用の制御線であるプリチャージ電源線PCVを設けたが、本実施の形態2では、データ線DLにその機能を持たせる。

【0029】図4は、実施の形態2に係る画素の回路を示した図である。ここでは、実施の形態1に示した回路と異なる部分について説明する。符号は同一の機能を果たすものについては同一の符号を付与している。実施の形態1の図1においてプリチャージ電源線PCVと接続されていたプリチャージトランジスタTr3の電極は、データ線DLに接続される。

【0030】図5は、データ線およびノードAの電位を示した図である。データ線DLには、リセット線RLがハイになる初期化期間に電位VF+Vtの信号が印加される。また、輝度データ書き込み期間にデータ線DLに印加される信号の電圧は、初期値VF+Vtから所望の値となる。また、データ線DLに印加される信号は、実施の形態1で示したPCV電位発生回路50で発生する基準電位に、一般的なオペアンプを用いた加算回路で加算される。

【0031】実施の形態2によれば、実施の形態1と同様に、輝度ムラの抑制が可能となるとともに、実施の形態1において設けたプリチャージ電源線PCVを設ける必要がなく、配線の数を減らすことができる。

【0032】駆動トランジスタTr2やOLED10の能動素子の特性ばらつきや性能劣化を補償する回路として、文献「Design of an Improved Pixel for a PolySilicon Active-Matrix Organic LED Display」(SID 98, International Symposium Proceedings, 1998, p.11)に電圧プログラム方式による有機ELの回路構成が開示されている。この回路は、基準電圧を画素内で発生させる利点がある一方、画素内に含まれる素子や専用の制御線の数が多くなる。素子数の増加は、画素の開口率低下による明るさ不足や、歩留まり低下による製造コストの上昇という課題がある。

【0033】また、制御用の配線が必要なため、素子数の増加と同様に開口率低下による明るさ不足、駆動タイミングのマージンがなくなり高速動作に不向きという課

題がある。また、それは、駆動用に周辺回路数が多くなり歩留まりの低下や額縁領域が広くなることによる製造コストの上昇、および消費電力の上昇につながった。本発明によれば、基準電位を画素の外部に設けることで、回路の簡素化が実現でき、上述の課題が解決できる。

【0034】以上、本発明を実施の形態をもとに説明した。この実施の形態は例示であり、それら各構成要素の組合せにいろいろな変形例が可能のこと、またそうした変形例も本発明の範囲であることは当業者に理解されるところである。こうした変形例を挙げる。

【0035】実施の形態では、リセット線RLを駆動トランジスタTr2やOLED10の特性ばらつきや性能劣化を補償するために使用したが、これに限らずリセット線RLを任意のタイミングでオンオフすることで、輝度の調整や、残像対策が可能となる。

【0036】実施の形態では、プリチャージトランジスタTr3の制御に専用の制御線であるリセット線RLを設けたが、前走査タイミングの走査信号が印加される一つ前の走査線を利用してよい。

【0037】実施の形態で示した、トランジスタは全てnチャネルトランジスタであったがこれに限る趣旨ではなくpチャネルトランジスタであってもよい。ただし、pチャネルトランジスタを用いるときは、それらを動作させるために入力される信号の論理は、nチャネルトランジスタに入力される信号と反転される。

【0038】

【発明の効果】画素内の能動素子の特性ばらつきや性能劣化を補償できる。

【図面の簡単な説明】

【図1】 実施の形態1に係る画素の回路を示した図である。

【図2】 基準電位としてのプリチャージ電位を発生するための回路を示した図である。

【図3】 実施の形態1に係る画素の回路において、ノードAの電位とデータ線に印加される電位を示した図である。

【図4】 実施の形態2に係る画素の回路を示した図である。

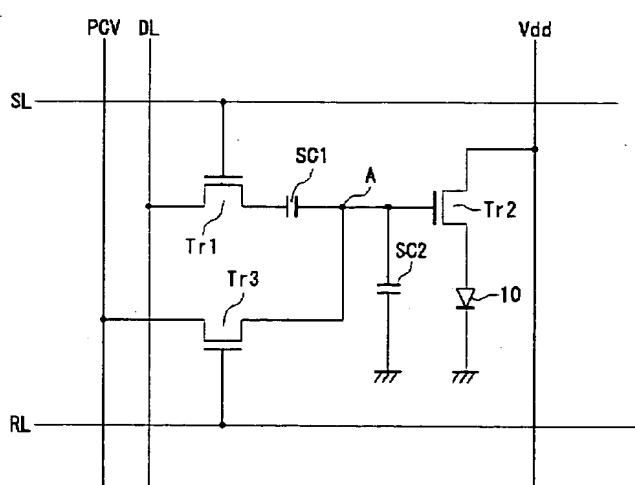
【図5】 実施の形態2に係る画素の回路において、ノードAの電位とデータ線に印加される電位を示した図である。

【図6】 従来例の画素の回路を示した図である。

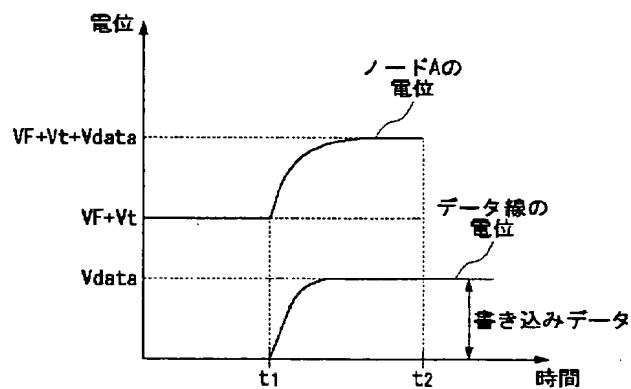
【符号の説明】

10 OLEd、50 PCV電位発生回路、60
基準電位発生部、70 基準電位ドライバ、80
オペアンプ、DL データ線、PCVプリチャージ
電源線、RL リセット線、SC1 第1保持容
量、SC2 第2保持容量、SL 走査線、Tr1
データ転送用トランジスタ、Tr2 駆動トランジスタ、
Tr3 プリチャージトランジスタ。

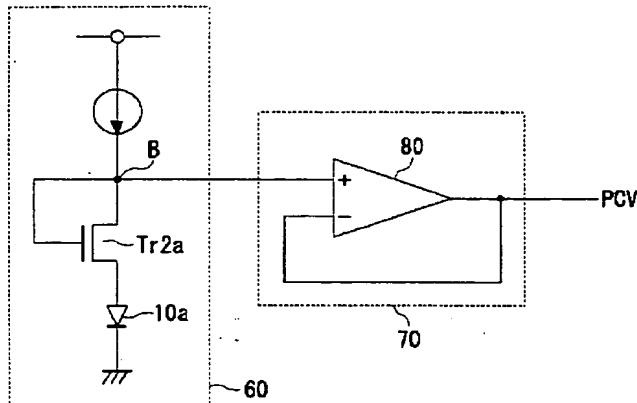
【図1】



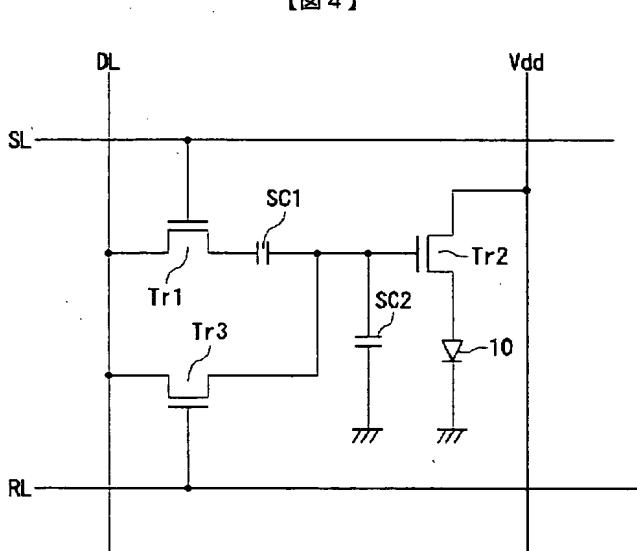
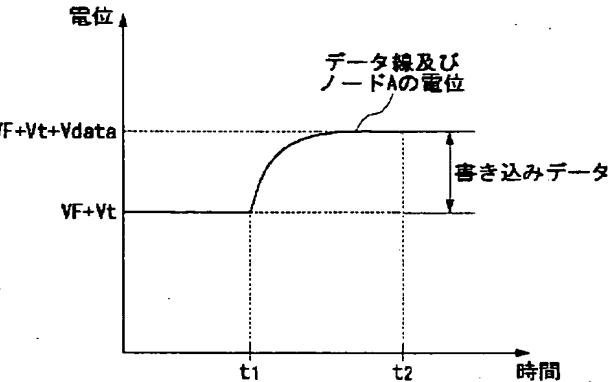
【図3】



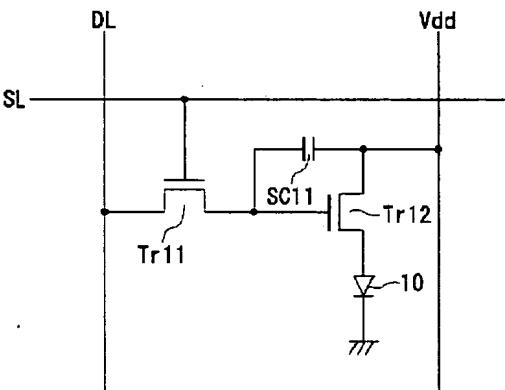
【図2】



〔図5〕



【圖 6】



フロントページの続き

(51) Int. Cl. 7
G 09 G 3/20
H 05 B 33/14

識別記号
642
670

F I
G O 9 G 3/20
H-O 5 B 33/14

テマコト (参考)